

Ser. 11/511,120

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-326608

(43)Date of publication of application : 16.12.1997

(51)Int.Cl.

H01P 3/18

H01L 27/01

H01P 3/08

H01P 7/08

(21)Application number : 08-140056

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 03.06.1996

(72)Inventor : ISHIKAWA YOHEI

HIDAKA SEIJI

MATSUI NORIBUMI

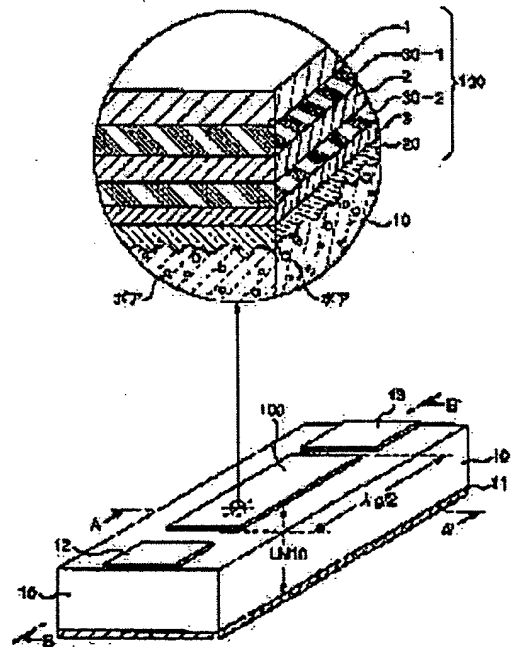
ISE TOMOYUKI

(54) THIN FILM MULTILAYER ELECTRODE, HIGH FREQUENCY TRANSMISSION LINE, HIGH FREQUENCY RESONATOR AND HIGH FREQUENCY FILTER

(57)Abstract:

PROBLEM TO BE SOLVED: To attain the use of even a ceramic dielectric substrate that has the projecting/recessing parts or pores on its surface and also to secure a skin effect suppression effect which is equivalent to the conventional effect by setting the film thickness so as to secure the substantial coincidence between the phase of an electromagnetic field generated on the dielectric substrate and that of the electromagnetic field generated on every thin dielectric film.

SOLUTION: A flattening dielectric film 20 is formed on the upper surface of a ceramic dielectric substrate 10 to flatten its surface. Then the thin conductor films 1, 2 and 3 and the thin dielectric films 30-1 and 30-2 are alternately laminated on the film 20. The thickness of films 1 to 3 and 30-1 and 30-2 are set in consideration of the thickness of the film 20 and the relative dielectric constant, so that the substantial coincidence is secured between the phase of the electromagnetic field generated on the substrate 10 and the phase of the electromagnetic field generated on each of both films 30-1 and 30-2 when a thin film multilayer electrode 100 is used with the prescribed working frequency.



LEGAL STATUS

[Date of request for examination] 25.02.2003

[Date of sending the examiner's decision of rejection] 19.10.2004

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-326608

(43) 公開日 平成9年(1997)12月16日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P 3/18			H 0 1 P 3/18	
H 0 1 L 27/01	3 0 1		H 0 1 L 27/01	3 0 1
H 0 1 P 3/08			H 0 1 P 3/08	
7/08			7/08	

審査請求 未請求 請求項の数7 OL (全 8 頁)

(21) 出願番号 特願平8-140056

(22) 出願日 平成8年(1996)6月3日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 石川 容平

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 日高 青路

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 松井 則文

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(74) 代理人 弁理士 青山 葆 (外2名)

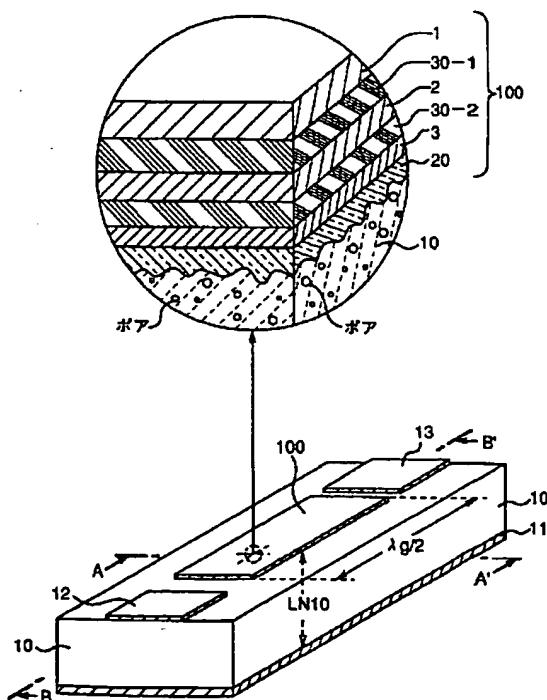
最終頁に続く

(54) 【発明の名称】 薄膜多層電極、高周波伝送線路、高周波共振器及び高周波フィルタ

(57) 【要約】

【課題】 本発明の目的は、以上の問題点を解決して、表面に凹凸やボアがあるセラミック誘電体基板上に形成することができ、しかも従来例と同等の表皮効果の抑圧効果を得ることができる薄膜多層電極を提供する。

【解決手段】 誘電体基板上に、薄膜導体膜と薄膜誘電体膜とが交互に積層された薄膜多層電極であって、上記薄膜多層電極が誘電体基板上に誘電体基板の表面を平坦にするように成膜された平坦化誘電体膜を含んでなり、かつ薄膜導体膜と薄膜誘電体膜の各膜厚を、使用周波数において、平坦化誘電体膜が形成された誘電体基板に生じる電磁界の位相と各薄膜誘電体膜に生じる電磁界の位相とが互いに実質的に一致するように、所定の式で表される誘電体基板の実効誘電率 ϵ_{eff} に基づいて設定した。



【特許請求の範囲】

【請求項1】 誘電体基板上に、薄膜導体膜と薄膜誘電体膜とが交互に積層された薄膜多層電極であって、上記薄膜多層電極が、上記誘電体基板上に上記誘電体基板の表面を平坦にするように形成された平坦化誘電体膜を含んでなり、

かつ上記薄膜導体膜と上記薄膜誘電体膜の各膜厚が、所定の使用周波数において、上記平坦化誘電体膜が形成された誘電体基板に生じる電磁界の位相と上記各薄膜誘電体膜に生じる電磁界の位相とが互いに実質的に一致するように設定されたことを特徴とする薄膜多層電極。

【請求項2】 上記薄膜導体膜と上記薄膜誘電体膜の各膜厚が、上記平坦化誘電体膜の比誘電率と膜厚とを用いて、以下の式で表される誘電体基板の実効誘電率 ϵ_{eff} に基づいて設定された請求項1記載の薄膜多層電極。

$$\epsilon_{\text{eff}} = (h_1 + h_2) (h_1 / \epsilon_{s1} + h_2 / \epsilon_{s2})^{-1}$$

h_1 : 誘電体基板の板厚、

h_2 : 平坦化誘電体膜の膜厚、

ϵ_{s1} : 誘電体基板の比誘電率、

ϵ_{s2} : 平坦化誘電体膜の比誘電率。

【請求項3】 誘電体基板の少なくとも一方の面に、請求項1又は2記載の薄膜多層電極が所定の形状に形成された高周波伝送線路。

【請求項4】 上記誘電体基板の比誘電率の温度係数を、上記高周波伝送線路の特性インピーダンスが温度に対して変化しないように、所定の値に設定した請求項3記載の高周波伝送線路。

【請求項5】 誘電体基板の少なくとも一方の面に、請求項1又は2記載の薄膜多層電極が所定の形状に形成された高周波共振器。

【請求項6】 上記誘電体基板の比誘電率の温度係数を、上記高周波共振器の共振周波数が温度に対して変化しないように、所定の値に設定した請求項5記載の高周波共振器。

【請求項7】 互いに隣接する2つの共振器が互いに電磁的に結合するように設けられた複数の請求項5又は6記載の共振器と、
上記共振器に信号を入力する入力端子と、
上記共振器から出力される信号を出力する出力端子とを備えた高周波フィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、マイクロ波、準ミリ波又はミリ波の高周波帯において用いられる薄膜多層電極に関する。

【0002】

【従来の技術】 近年、電子部品の小型化が進む中、マイクロ波、準ミリ波又はミリ波などの高周波帯においても高誘電率材料を用いることによって、デバイスの小型化

がなされてきている。しかし、誘電率を大きくすることによって形状を縮小すると、体積の立方根に反比例してエネルギー損失が増大するという問題点があった。この高周波デバイスのエネルギー損失は、表皮効果による導体損失と、誘電体材料による誘電体損失とに大きく分類することができるが、近年では、高誘電率のものでも低損失な特性を有する誘電体材料が実用化されており、従って、誘電体損失よりも導体損失の方が回路の無負荷Qにおいて支配的である。

【0003】 以上のような状況の下、本出願人は国際出願公開第W095/06336号公報において、高周波帯での導体損失が低減できる薄膜多層電極を提案した。図4は国際出願公開第W095/06336号公報で開示した従来例の薄膜多層電極200を用いて構成した1/2波長線路型共振器の斜視図である。図4の薄膜多層電極200は、まず、裏面全面に接地導体11が形成された誘電体基板110上に、長手方向の長さが $\lambda_g/2$ (λ_g は管内波長)である帯形状の薄膜導体膜3aが形成され、次いで、薄膜導体膜3a上に、薄膜誘電体膜30a-2、薄膜導体膜2a、薄膜誘電体膜30a-1、薄膜導体膜1aの順で積層して形成されて、誘電体基板110上に薄膜多層電極200が形成される。

【0004】 以上のようにして、薄膜導体膜3aと、接地導体11と、薄膜導体膜3aと接地導体11間に挟設された誘電体基板110によってTEMモードのマイクロストリップ線路(以下、主伝送線路という。)LN110が構成される一方、当該主伝送線路LN110上に、薄膜誘電体膜30a-2が1対の薄膜導体膜2a、3aで挟設されてなるTEMモードの副伝送線路と、薄膜誘電体膜30a-1が1対の薄膜導体膜1a、2aで挟設されてなるTEMモードの副伝送線路とが積層されている。ここで、従来例の薄膜多層電極200は、国際出願公開第W095/06336号公報において開示されている方法を用いて、(a)各薄膜誘電体膜30a-1、30a-2の各膜厚と誘電率 ϵ_s とをそれぞれ、主伝送線路LN110と各副伝送線路を伝搬するTEM波の位相速度とを互いに実質的に一致させるように、所定の値に設定しかつ(b)各薄膜導体膜2a、3aの各膜厚をそれぞれ、互いに隣接する主伝送線路LN110と副伝送線路間及び副伝送線路と副伝送線路間で各電磁界を互いに結合させるように、使用周波数における表皮深さより薄い所定の膜厚に設定している。これにより、主伝送線路LN110に流れる高周波エネルギーの一部を各副伝送線路に移行させ、各薄膜導体膜1a~3aにおいてそれぞれに高周波電流が流れるように構成して、高周波における薄膜多層電極200の表皮効果を大幅に抑圧するというものである。

【0005】 ここで、国際出願公開第W095/06336号公報に開示されている薄膜多層電極は、平坦な表面を有する誘電体基板の上に形成されることを前提に、

薄膜導体膜と薄膜誘電体膜の各膜厚を設定して、アルミナの単結晶からなるサファイア基板の鏡面研磨された表面に形成されることが例示されている。

【0006】

【発明が解決しようとする課題】しかしながら、従来例の薄膜多層電極は、図5に示すように、表面に凹凸やポアがあるセラミック誘電体基板10上に形成しようとすると、当該凹凸やポアが原因で、隣接する薄膜導体膜間において短絡する場合があります、表皮効果の抑圧効果が劣化するという問題点があった。また、以上の問題点を解決するために、セラミック誘電体基板10の表面を研磨して薄膜多層電極を形成しても、誘電体基板の内部に存在するポアが表面に出てきて、上記問題点を解決するための十分な解決策にはならず、また、このような方法を用いると、セラミック誘電体基板の表面研磨に時間がかかるので、薄膜多層電極を形成するための製造コストが高くなるという新たな問題点を生じていた。さらに、上記問題点を解決するために、セラミック誘電体基板10の表面の凹凸やポアに充填するように、平坦化誘電体膜を形成した上に、薄膜多層電極を形成すると、薄膜導体膜間の短絡は、防止することができるが、表皮効果の抑圧効果が劣化するという問題点があった。

【0007】本発明の目的は、以上の問題点を解決して、表面に凹凸やポアがあるセラミック誘電体基板上に形成することができ、しかも従来例と同等の表皮効果の抑圧効果を得ることができる薄膜多層電極を提供することにある。

【0008】

【課題を解決するための手段】本発明に係る薄膜多層電極は、表面に凹凸やポアのある誘電体基板の表面に、当該表面を平坦化するための平坦化誘電体膜を形成して、薄膜多層電極を形成する場合において、上記誘電体基板に生じる電磁界の位相と上記各薄膜誘電体膜に生じる電磁界の位相とが互いに実質的に一致するように、上記平坦化誘電体膜を考慮して薄膜導体膜と薄膜誘電体膜の各膜厚を設定する方法を見いだして、完成させたものである。すなわち、本発明は、誘電体基板上に、薄膜導体膜と薄膜誘電体膜とが交互に積層された薄膜多層電極であって、上記薄膜多層電極が、上記誘電体基板上に上記誘電体基板の表面を平坦にするように形成された平坦化誘電体膜を含んでなり、かつ上記薄膜導体膜と上記薄膜誘電体膜の各膜厚が、所定の使用周波数において、上記平坦化誘電体膜が形成された誘電体基板に生じる電磁界の位相と上記各薄膜誘電体膜に生じる電磁界の位相とが互いに実質的に一致するように設定されたことを特徴とする。ここで、上記誘電体基板に生じる電磁界の位相と上記薄膜誘電体膜に生じる電磁界の位相とが互いに実質的に一致するとは、当該薄膜多層電極を用いて伝送線路を構成した場合には、上記誘電体基板の内部と上記薄膜誘電体膜の内部とを伝送する各進行波の位相速度が実質的

に一致することであり、当該薄膜多層電極を用いて共振器を構成する場合には、上記誘電体基板と上記各薄膜誘電体膜に生じる電磁界が実質的に同位相で振動することをいう。

【0009】また、本発明に係る薄膜多層電極は、より効果的に表皮効果を抑圧するために、上記薄膜多層電極の各薄膜導体膜と各薄膜誘電体膜の各膜厚が、平坦化誘電体膜の膜厚と比誘電率を用いて以下の式で表される、補正された誘電体基板の実効誘電率 ϵ_{eff} に基づいて設定されることが好ましい。

$$\epsilon_{\text{eff}} = (h_1 + h_2) \left(h_1 / \epsilon_{r1} + h_2 / \epsilon_{r2} \right)^{-1}$$

h_1 ; 誘電体基板の板厚、

h_2 ; 平坦化誘電体膜の膜厚、

ϵ_{r1} ; 誘電体基板の比誘電率、

ϵ_{r2} ; 平坦化誘電体膜の比誘電率。

【0010】本発明に係る高周波伝送線路は、誘電体基板の少なくとも一方の面に、所定の形状の本発明に係る薄膜多層電極が形成されてなる。また、本発明において、好ましくは、上記誘電体基板の比誘電率の温度係数を、上記高周波伝送線路の特性インピーダンスが温度に対して変化しないように、所定の値に設定する。

【0011】本発明に係る高周波共振器は、誘電体基板の少なくとも一方の面に、所定の形状の本発明に係る薄膜多層電極が形成されてなる。また、本発明において、好ましくは、上記誘電体基板の比誘電率の温度係数を、上記高周波共振器の共振周波数が温度に対して変化しないように、所定の値に設定する。

【0012】本発明に係る高周波フィルタは、互いに隣接する2つの共振器が互いに電磁的に結合するように設けられた複数の本発明に係る高周波共振器と、上記共振器に信号を入力する入力端子と、上記共振器から出力される信号を出力する出力端子とを備える。

【0013】

【発明の実施の形態】

<実施形態>以下、図面を参照して本発明に係る実施形態について説明する。図1は、一実施形態の1/2波長線路型共振器の斜視図であって、セラミック誘電体基板10の上面に、当該基板10の表面を平坦にするための平坦化誘電体膜20を形成し、当該誘電体膜20上に、薄膜導体膜と薄膜誘電体膜とが交互に積層されたことを特徴とする。すなわち、本発明に係る薄膜多層電極100は、図1の上方の円内に断面図で示すように、セラミック誘電体基板10の表面に形成された平坦化誘電体膜20を含んでなり、薄膜導体膜1、2、3及び薄膜誘電体膜30-1、30-2の各膜厚は、詳細後述するように、平坦化誘電体膜20の膜厚と比誘電率とを考慮して、薄膜多層電極100が所定の使用周波数で使用されたときに、セラミック誘電体基板10に生じる電磁界の位相と各薄膜誘電体膜に生じる電磁界の位相とが実質的に一致するように設定される。ここで、図1の円内に示

した断面図は、図1の下に示した斜視図におけるA-A'線及びB-B'線の縦断面の角の部分拡大して示している。

【0014】さらに詳細に説明すると、本実施形態の1/2波長線路型共振器においては、まず、裏面全面に接地導体11が形成されたセラミック誘電体基板10の上面の全面に、平坦化誘電体膜20が形成されて、セラミック誘電体基板10の上面が、例えば、表面粗さRaが0.05μm以下になるように実質的に平坦化される。ここで、セラミック誘電体基板10は、所定の誘電体材料をシート状に成型し、所定の温度で焼成することにより製造され、本実施形態では、小型で高い無負荷Qを有する1/2波長線路型共振器を形成するために、(Zr, Sn)TiO₄、BaO-PbO-Nd₂O₃-TiO₂等からなる、高誘電率で、低損失なセラミック誘電体基板を用いることが好ましい。また、セラミック誘電体基板10の表面に形成する誘電体膜20は、当該基板10の表面の凹凸やポアを埋めてかつ平坦な表面を形成することが容易な、例えば、基板と同じ組成の(Zr, Sn)TiO₄やSrTiO₃等の基板と同じ程度の誘電率をもつ誘電体材料を、スパッタリングやMO(Metal Organic)CVDの方法を用いて形成することが好ましく、当該誘電体材料の誘電率は、セラミック誘電体基板10の比誘電率に近い値のものが好ましい。この場合、スパッタリングやMOCVDを用いて誘電体膜20を形成するときの条件を適切な条件に設定して、セラミック誘電体基板10の表面の凹凸やポアを埋め、かつ薄膜導体膜と薄膜誘電体膜を形成するべき表面を平坦にする。

【0015】そして、平坦化誘電体膜20の上面に、長手方向の長さがλ_g/2(λ_gは管内波長)である帯形状の薄膜導体膜3が形成され、次いで、薄膜導体膜3上に、薄膜誘電体膜30-2、薄膜導体膜2、薄膜誘電体膜30-1、薄膜導体膜1の順で形成される。これによって、誘電体基板10上に、平坦化誘電体膜20、薄膜導体膜3、薄膜誘電体膜30-2、薄膜導体膜2、薄膜誘電体膜30-1及び薄膜導体膜1が積層されてなる薄膜積層電極100が形成される。ここで、薄膜誘電体膜30-1、30-2は、誘電損失が小さくかつ薄膜の形成が容易なSiO₂、Ta₂O₅、TaSiO等を用いることが好ましい。一方、接地導体11及び薄膜導体膜1~3は、Cu、Al、Au、Ag等の導電率の高い金属を使用することが好ましい。

【0016】以上のように形成された1/2波長線路型共振器において、薄膜導体膜3と、接地導体11と、薄膜導体膜3と接地導体11間に挟設された誘電体基板10とによってTEMモードのマイクロストリップ線路(以下、主伝送線路という。)LN10が構成される一方、当該主伝送線路LN10上に、薄膜誘電体膜30-2が1対の薄膜導体膜2、3で挟設されてなるTEMモ

ードの副伝送線路と、薄膜誘電体膜30-1が1対の薄膜導体膜1、2で挟設されてなるTEMモードの副伝送線路とが積層される。

【0017】ここで、特に、詳細後述する方法を用いて、平坦化誘電体膜20を考慮して、(a)各薄膜誘電体膜30-1、30-2の各膜厚をそれぞれ、主伝送線路LN10と各副伝送線路を伝搬するTEM波の位相速度を互いに実質的に一致させるように設定し、かつ

(b)各薄膜導体膜2、3の各膜厚をそれぞれ、使用周波数における表皮深さより薄い所定の膜厚に設定することによって、互いに隣接する主伝送線路LN10と副伝送線路間及び副伝送線路と副伝送線路間で各電磁界を互いに結合させる。これにより、平坦化誘電体膜20を含む薄膜多層電極100においても、高周波における表皮効果を大幅に抑圧することができる。また、本実施形態においては、薄膜導体膜1、2、3及び薄膜誘電体膜30-1、30-2は、特願平6-310900号において提案した方法を用いて、従来例の薄膜多層電極200と比較してさらに効果的に表皮効果を抑圧するように、誘電体基板10から離れて形成される上層ほど、厚くなるように形成した。

【0018】次に、平坦化誘電体膜20を含んでなる薄膜多層電極100における膜厚の設定方法について説明する。従来技術の所で説明したように、セラミック誘電体基板10の上面に平坦化誘電体膜20を形成した後、従来例の薄膜多層電極を形成すると、表皮効果の抑圧効果が劣化する。これは、本発明者らの検討によると、平坦化誘電体膜が形成されたことによって、誘電体基板の実効的な比誘電率が変化したためであることが確認された。

【0019】そこで、図2(a)に示す、上面に平坦化誘電体膜20が形成されたセラミック誘電体基板10の、単位面積当たりにおける厚さ方向の等価回路を、図2(b)に示す簡単な回路で表して、当該等価回路に基づいて、平坦化誘電体膜20が形成されたセラミック誘電体基板10の実効誘電率ε_{eff}(以下、単に実効誘電率ε_{eff}という。)を求めた。ここで、図2(b)においてキャパシタC1とコンダクタンスG1とからなる第1の並列回路は、セラミック誘電体基板10を表し、キャパシタC2とコンダクタンスG2とからなる第2の並列回路は平坦化誘電体膜20を表す。その結果、実効誘電率ε_{eff}は次の数1で表わせることがわかった。

【0020】

【数1】

$$\epsilon_{eff} = (h_1 + h_2) (h_1 / \epsilon_{s1} + h_2 / \epsilon_{s2})^{-1}$$

【0021】ここで、h₁はセラミック誘電体基板10の板厚であり、h₂は平坦化誘電体膜20の膜厚である。この場合、セラミック誘電体基板10の表面には凹凸があるので、セラミック誘電体基板10の板厚h₁及

び平坦化誘電体膜20の膜厚 h_2 は、面内で平均した値を用いる。また、 ϵ_{a1} はセラミック誘電体基板10の比誘電率であり、 ϵ_{a2} は平坦化誘電体膜20の比誘電率である。さらに、平坦化誘電体膜20を含めたセラミック誘電体基板10の誘電体 Q_a ($1/\tan\delta$ で表される。)は、セラミック誘電体基板10の誘電体 Q_{a1} と平坦化誘電体膜の誘電体 Q_{a2} を用いて、次の数2で表すことができる。この数2から、誘電体 Q_a を劣化させないためには、誘電体 Q_{a2} の大きい用いることが効果的であることがわかる。

【0022】

【数2】 $Q_a = (1/C1 + 1/C2) \{ (1/C1)(1/Q_{a1}) + (1/C2)(1/Q_{a2}) \}^{-1}$

【0023】本発明者らは、上述の数1で表される実効誘電率 ϵ_{eff} を用いて、国際出願公開第WO95/06336号公報に開示されている方法に従って、薄膜多層電極100の薄膜導体膜1、2、3及び薄膜誘電体膜30-1、30-2の各膜厚を設定することにより、平坦化誘電体膜20を形成した場合においても、従来例の薄膜多層電極200と同等の表皮効果の抑圧効果を得ることができることを確認した。また、数1で表される実効誘電率 ϵ_{eff} を用いて、特願平6-310900号に従って、薄膜導体膜1、2、3及び薄膜誘電体膜30-1、30-2の各膜厚を誘電体基板10から離れて形成される上層ほど、厚くなるように設定して、従来例の薄膜多層電極200に比較してさらに効果的に表皮効果を抑圧するようにできることを確認した。

【0024】以上のようにして、薄膜積層電極100と、接地導体11と、薄膜積層電極100と接地導体11とによって挟設された誘電体基板10によって、無負荷 Q の高い1/2波長線路型共振器を構成することができる。さらに、誘電体基板10上に、入力端子用導体12が、薄膜多層電極100の長手方向の一端と所定の間隔だけ離れかつ電磁的に互いに結合するように近接して形成される一方、出力端子用導体13が、薄膜多層電極100の長手方向の他端と所定の間隔だけ離れかつ電磁的に互いに結合するように近接して形成して、1/2波長線路型共振器を用いた帯域通過フィルタを構成できる。なお、本実施形態においては、入力端子用導体12と薄膜導体膜3の一端との結合と、出力端子用導体13と薄膜導体膜3の他端との結合とは、容量結合である。

【0025】以上のように、本実施形態では、誘電体基板10上に形成された誘電体膜20を含む薄膜多層電極100において、表皮効果を効果的に抑圧できる薄膜導体膜と薄膜誘電体膜の各膜厚の設定方法を見いだしたので、セラミック誘電体基板10上に導体損失の小さい薄膜多層電極100を形成することができる。これによって、サファイア基板に比較して比誘電率が大きいセラミック誘電体基板を用いて、高周波共振器や伝送線路を構成できるので、当該共振器や伝送線路を小型にできる。

また、セラミック誘電体基板10は、種々の組成に調査して製造でき、その組成を変更することにより比較的自由に比誘電率の温度係数を調整できるので、比誘電率の温度係数を所定の値に設定することにより、共振周波数が温度に対して変化しない共振器や、特性インピーダンスが温度に対して変化しない伝送線路を構成できる。

【0026】<本発明に係る薄膜多層電極の他の応用例>上述した実施形態では、薄膜多層電極100を用いて1/2波長線路型共振器を構成したが、以下に示す伝送線路又は共振器にも応用することができる。図3の

(a)は、本発明に係る薄膜多層電極を用いたマイクロストリップ線路の斜視図であり、マイクロストリップ線路のストリップ導体51及び接地導体52に薄膜多層電極を用いる。なお、ストリップ導体51のみに薄膜多層電極を用いてもよいし、接地導体52のみに薄膜多層電極を用いてもよい。また、図3の(b)は、本発明に係る薄膜多層電極を用いたトリプレート型ストリップ線路の斜視図であり、ストリップ線路のストリップ導体61と接地導体62、63に薄膜多層電極を用いる。なお、ストリップ導体61のみに薄膜多層電極を用いてもよいし、接地導体62、63の少なくとも1つのみに薄膜多層電極を用いてもよい。さらに、図3の(c)は、本発明に係る薄膜多層電極を用いた同軸線路の斜視図であり、当該同軸線路の中心導体71と接地導体72に薄膜多層電極を用いる。中心導体71のみ薄膜多層電極を用いてもよいし、接地導体72のみに薄膜多層電極を用いてもよい。またさらに、図3の(d)は、本発明に係る薄膜多層電極73を用いたTM_mモード円形導波管の縦断面図であり、円形導波管の外表面電極に薄膜多層電極を用いる。

【0027】また、図3の(e)は、本発明に係る薄膜多層電極を用いたTM_mモード共振器の斜視図であり、当該共振器のパッチ導体81と接地導体82に薄膜多層電極を用いる。パッチ導体81のみに薄膜多層電極を用いてもよいし、接地導体82のみに用いてもよい。また、図示しないが、薄膜多層電極は、サスペンデッド線路、コプレーナ線路、スロットライン、矩形導波管、リッジ導波管、円形導波管、誘電体線路、G線路、イメージ線路、H線路などの電極に用いてもよい。さらに、アイソレータ、アンテナ、チップコイルなどのインダクタ、キャパシタなどのそれぞれ所定の高周波動作を行う種々の高周波デバイスの電極に、本発明に係る薄膜多層電極を用いることができる。以上のように本発明に係る薄膜多層電極は、種々の共振器や伝送線路に応用でき、上述の実施形態と同様の効果を有する。

【0028】ここで、図3(d)に示すようにTEMモード以外のTMモードの伝送線路に使用する場合は、当該伝送線路が所定の周波数で使用されたときに、誘電体基板を伝送するTMモードの進行波の位相速度と、薄膜誘電体膜を伝送するTMモードの進行波の位相速度が実

質的に一致するように、各薄膜誘電体膜の各膜厚及び誘電率、上記各薄膜導体膜の各膜厚及び上記各接着導体の各膜厚を設定する。また、図3(e)に示すように共振器に使用する場合は、当該共振器が所定の周波数で共振するときに、誘電体基板に生じる定常波の電磁界の振動位相と各薄膜誘電体膜に生じる定常波の電磁界の振動位相とが互いに実質的に一致するように、各薄膜誘電体膜の各膜厚及び誘電率、上記各薄膜導体膜の各膜厚及び上記各接着導体の各膜厚を設定する。以上のように、本発明に係る薄膜多層電極は、種々の高周波伝送線路、高周波共振器及び高周波フィルタ等に応用することができる。

【0029】

【発明の効果】以上の説明で明らかなように、本発明の薄膜多層電極は、上記誘電体基板上に成膜された平坦化誘電体膜を含んでなり、薄膜導体膜と薄膜誘電体膜の各膜厚が、所定の使用周波数において、上記平坦化誘電体膜が形成された誘電体基板に生じる電磁界の位相と上記各薄膜誘電体膜に生じる電磁界の位相とが互いに実質的に一致するように形成されているので、表面に凹凸やボアを有するセラミック誘電体基板上に形成することができ、しかも従来例と同等の表皮効果の抑圧効果を得ることができる。

【0030】また、本発明の薄膜多層電極は、薄膜導体膜と薄膜誘電体膜の各膜厚が、上記薄膜多層電極の各薄膜導体膜と各薄膜誘電体膜の各膜厚が、上記薄膜導体膜の導電率と、上記薄膜誘電体膜の誘電率と、所定の式で表される誘電体基板の実効誘電率 ϵ_{eff} とに基づいて設定されることにより、さらに効果的に表皮効果の抑圧効果を得ることができる。

【0031】本発明に係る高周波伝送線路は、使用周波数において導体損失を小さくできる本発明に係る薄膜多層電極を用いて構成されているので、伝送損失を小さくできる。また、本発明において、上記誘電体基板の比誘電率の温度係数を所定の値に設定することにより、上記*

*高周波伝送線路の特性インピーダンスを温度に対して変化しないようにできる。

【0032】本発明に係る高周波共振器は、共振周波数において導体損失が小さい本発明に係る薄膜多層電極を用いて構成されているので、無負荷Qを高くできる。また、本発明において、上記誘電体基板の誘電率の温度係数を所定の値に設定することにより、上記高周波共振器の共振周波数が温度に対して変化しないようにできる。

【0033】本発明に係る高周波フィルタは、無負荷Qの高い本発明に係る共振器を用いて構成されているので、通過帯域の損失を小さくできる。

【図面の簡単な説明】

【図1】 本発明に係る薄膜多層電極を用いた実施形態の1/2波長線路型共振器の斜視図である。

【図2】 (a)は、上面に平坦化誘電体膜20がされたセラミック誘電体基板10を、単位面積片を示す図であり、(b)は、平坦化誘電体膜20を含むセラミック誘電体基板10の単位面積当たりの、厚さ方向の等価回路を示す図である。

【図3】 本発明に係る薄膜多層電極を用いた種々の応用例を示す斜視図及び断面図である。

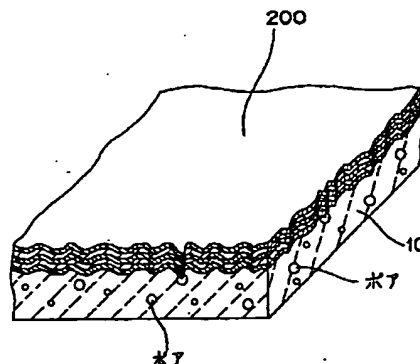
【図4】 従来例の薄膜多層電極を用いた1/2波長線路型共振器の斜視図である。

【図5】 表面に凹凸のあるセラミック誘電体基板10の表面に従来例の薄膜多層電極を形成したときの斜視図である。

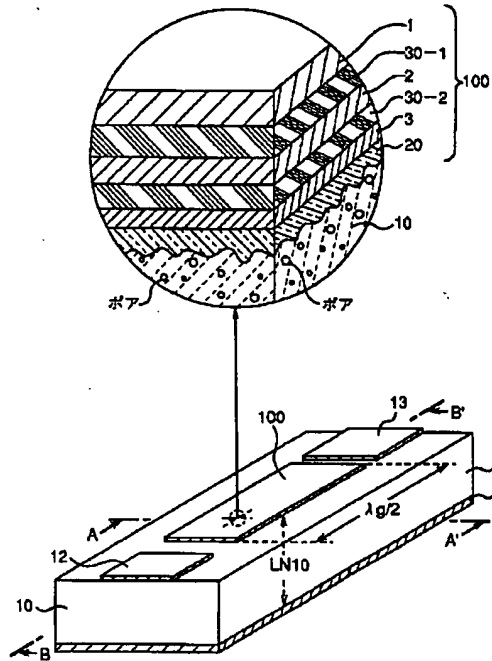
【符号の説明】

- 1, 2, 3…薄膜導体膜、
- 10…セラミック誘電体基板、
- 11…接地導体、
- 12…入力端子用導体、
- 13…出力端子用導体、
- 20…平坦化誘電体膜、
- 30-1, 30-2…薄膜誘電体膜、
- 100…薄膜多層電極。

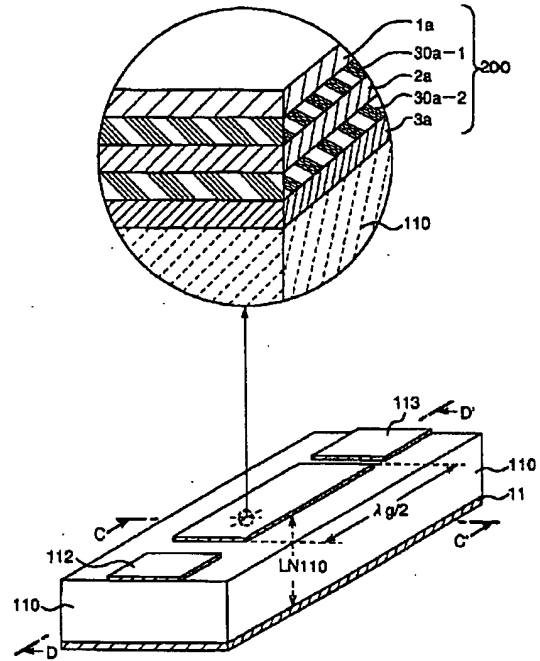
【図5】



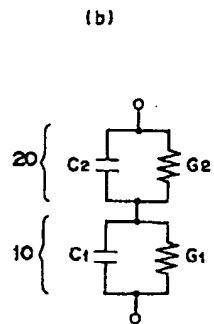
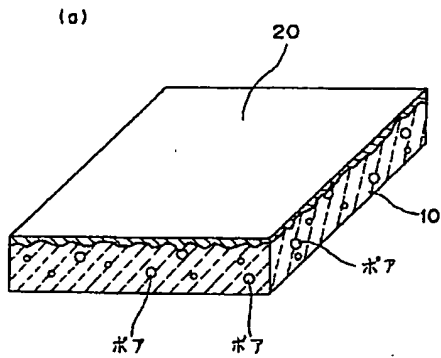
【図1】



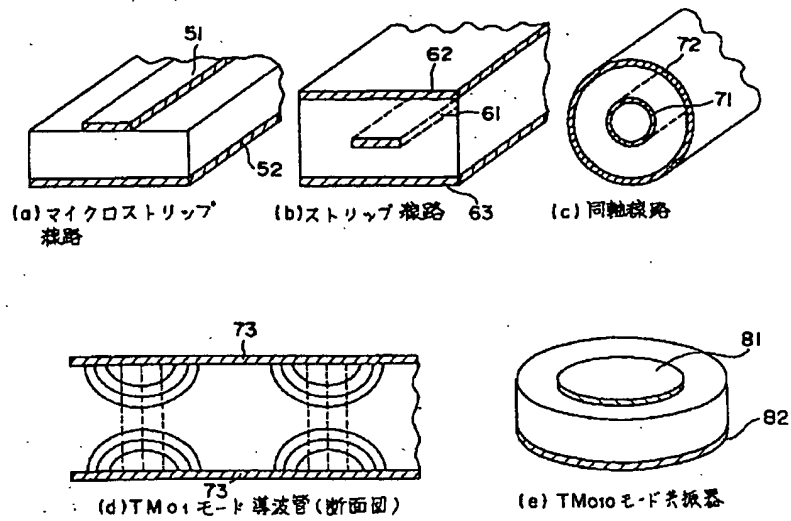
【図4】



【図2】



【図3】



フロントページの続き

(72)発明者 伊勢 智之
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内